

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-083347  
 (43)Date of publication of application : 26.03.1996

(51)Int.CI.  
 G06T 9/00  
 H03M 7/40  
 H04N 1/41  
 H04N 7/24

(21)Application number : 06-219168  
 (22)Date of filing : 13.09.1994

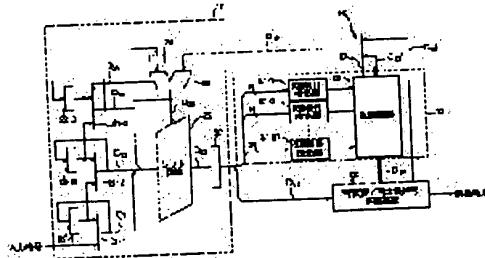
(71)Applicant : TOSHIBA CORP  
 (72)Inventor : MICHINAKA HIDEJI  
 OTOMO GOICHI

## (54) PICTURE PROCESSOR

### (57)Abstract:

**PURPOSE:** To shorten time to be required for the detection of a delimitation code by allowing a parallel delimitation code detecting part to input data to be decoded from a program search shifting part and simultaneously detect the delimitation codes of plural leading bit positions.

**CONSTITUTION:** The parallel delimitation code detecting part 13 has 31 delimitation code detectors 27-1 to 27-31, which respectively input 24-bit data respectively having the 1st bit to 31-th bit of a code D11 to be decoded on their leading bits. Namely the detector 27-1 inputs 1st to 24th bits, the detector 27-2 inputs 2nd to 25-th bits, the following detectors also similarly input data, and finally the detector 27-31 inputs 31-th to 54-th bits. Each of the detectors 27-1 to 27-31 compares the inputted 24-bit data with '000001H' and outputs a compared result. A control circuit 28 inputs respective compared results, and when any one of the results indicates a start code, judges the position of the start code.



### LEGAL STATUS

[Date of request for examination] 01.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

3417684

[Patent number]

11.04.2003

[Date of registration]

[Number of appeal against examiner's decision]

Searching PAJ

of rejection]  
[Date of requesting appeal against examiner's  
decision of rejection]  
[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-83347

(43) 公開日 平成8年(1996)3月26日

(51) Int.Cl.<sup>6</sup>  
G 0 6 T 9/00  
H 0 3 M 7/40  
H 0 4 N 1/41

識別記号 庁内整理番号

9382-5K

B

F I

技術表示箇所

G 0 6 F 15/ 66  
H 0 4 N 7/ 13

3 3 0 E

Z

審査請求 未請求 請求項の数 2 OL (全 15 頁) 最終頁に統く

(21) 出願番号 特願平6-219168

(22) 出願日 平成6年(1994)9月13日

(71) 出願人 000003078  
株式会社東芝  
神奈川県川崎市幸区堀川町72番地

(72) 発明者 道中秀治  
神奈川県川崎市幸区小向東芝町1 株式会  
社東芝研究開発センター内

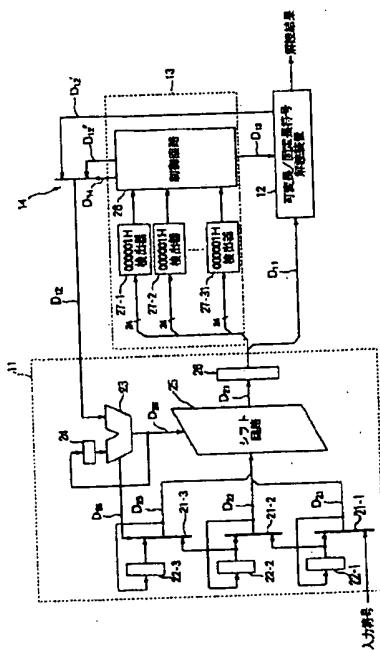
(72) 発明者 大友吾一  
神奈川県川崎市幸区小向東芝町1 株式会  
社東芝研究開発センター内

(74) 代理人 弁理士 佐藤一雄 (外3名)

(54) 【発明の名称】 画像処理装置

(57) 【要約】

【目的】 高速処理が可能な画像処理装置を提供する。  
【構成】 可変長・固定長復号化器10が、圧縮画像データと頭出しシフト量データとを入力してこの頭出しシフト量データにしたがって前記圧縮画像データをシフトさせることにより被解読データを生成する頭出しシフト部11と、この頭出しシフト部から取り込んだ被解読データを切り出すことにより解読データおよびシフト量データを生成する符号解読部12と、頭出しシフト部から取り込んだ被解読データからの区切り符号の検出を複数の先頭ビット位置について同時にを行い、この検出結果に基いてシフト量データを生成する並列区切り符号検出部13とを備える。また、バッファメモリが、複数のバンクメモリと、これらのバンクメモリのいずれかについて書き込み或いは読み出しが終了すると該バンクメモリに対する書き込み/読み出しの切り替えを他方のバンクメモリの状態に応じて直ちに行う制御回路とを備える。



## 【特許請求の範囲】

【請求項1】少なくとも可変長符号と区切り符号とを有する圧縮画像データを復号化する復号化器を備えた画像処理装置において、

前記復号化器が、

前記圧縮画像データと頭出しシフト量データとを入力し、この頭出しシフト量データにしたがって前記圧縮画像データをシフトさせることにより被解読データを生成する頭出しシフト部と、

この頭出しシフト部から取り込んだ前記被解読データを切り出すことにより、解読データを生成する符号解読部と、

前記頭出しシフト部から取り込んだ前記被解読データからの前記区切り符号の検出を複数の先頭ビット位置について同時にい、この検出結果に基いて前記シフト量データを生成する並列区切り符号検出部と、

を備えたことを特徴とする画像処理装置。

【請求項2】複数のバンクメモリと、これらのバンクメモリの読み出しおよび書き込みを制御する制御回路とを備えたバッファメモリを有する画像処理装置において、前記制御回路が、

いずれかのバンクメモリに対する書き込みが終了した時点で、既に読み出しが終了した他のバンクメモリが存在する場合には当該他のバンクメモリに対して次の書き込みを行わせ、既に読み出しが終了した他のバンクメモリが存在しない場合にはいずれかのバンクメモリの読み出しが終了するまで待機した後に当該読み出しが終了したバンクメモリに対して書き込みを行わせるとともに当該待機の期間中書き込みを禁止する書き込み制御手段と、いずれかのバンクメモリからの読み出しが終了した時点で、既に書き込みが終了した他のバンクメモリが存在する場合には当該他のバンクメモリに対して書き込みが行われた順序にしたがって次の読み出しを行わせ、既に書き込みが終了したバンクメモリが存在しない場合にはいずれかのバンクメモリの書き込みが終了するまで待機した後に当該書き込みが終了したバンクメモリに対して読み出しを行わせるとともに当該待機の期間中読み出しを禁止する読み出し制御手段と、を備えたことを特徴とする画像処理装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、画像処理装置の処理速度の高速化に関するものであり、より詳細には、圧縮画像データを伸長する画像処理装置のバッファメモリおよび復号化器の処理速度の高速化に関するものである。

## 【0002】

【従来の技術】従来より、画像処理装置として、画像データを圧縮／伸長するものが知られている。

【0003】画像データを圧縮する画像処理装置としては、例えば、DCT（離散コサイン変換）、量子化、ラ

ンレンジス符号化および可変長・固定長符号化を組み合わせたものが知られている。このような画像処理装置では、まず、画像データを小ブロック（例えば $8 \times 8$ 画素のブロック）に分割し、各ブロック単位で二次元DCT等の直交変換を施したのち、各画素ごとに量子化を行う。次に、各ブロックについて「0」が連続する頻度が高くなるように変換したのち（スキャン順序変換）、一次元に並べ、先行する「0」の数（以下「ゼロラン」と記す）と「0」以外の値（以下「レベル」と記す）とを組にして表現することでシンボル数を減らす（ランレンジス符号化）。そして、このデータを可変長符号、固定長符号および区切り符号からなるデータに変換して（可変長・固定長符号化）出力する。

【0004】ここで、上述のスキャン順序変換およびランレンジス符号化について、図7を用いて、さらに詳しく説明する。図7(a)は、直交変換(DCT等)および量子化を施した後のブロックを示している。二次元DCT等の直交変換を施したデータは、視覚的に高周波成分の解像度が高くないことをを利用して、この高周波成分にあたるデータに大きい量子化幅を与えることにより、「0」が出現する頻度を高くしている。次に、これらの画素データについて、図7(a)に矢印で示したように、 $8 \times 8$ のマトリクスを形成する各画素をジグザグに読み取る。これにより、図7(b)に示したようなデータ列を得る。そして、このデータ列をランレンジス符号化することにより、図7(c)に示したようなデータ（ランレンジス符号）を得る。なお、図7(c)において、各括弧内の左側の値はゼロランであり、右側の値はレベルである。このようにして生成されたランレンジス符号は、可変長・固定長符号化されて、出力される。ここで、図7(a)に示したように、画素ブロックの画素をジグザグに読み取ることとしたのは、各ゼロランの値の偏りが大きい方が、ランレンジス符号を可変長符号化する際に圧縮率が高くなるからである。

【0005】次に、このようにして圧縮処理された画像データを伸長する画像処理装置について説明する。図8は、かかる画像処理装置の構成を概略的に示すブロック図である。同図に示したように、画像処理装置に入力された圧縮画像データは、バッファ81を介して、可変長・固定長復号化器82に取り込まれ、図7(c)に示したようなデータ列（ランレンジス符号）に復号化される。この可変長・固定長復号化器82の出力データは、次に、ランレンジス復号化・スキャン順序変換器83に入力される。

【0006】ここで、ランレンジス復号化およびスキャン順序変換は、ランレンジス復号化により図7(b)に示したデータ列を生成した後にスキャン順序変換を行って図7(a)に示したような $8 \times 8$ 画素ブロックのデータを生成することとしてもよいが、ここでは、後述するようなバッファメモリを用いてランレンジス復号化とス

キャン順序変換とを同時にを行うものとする。

【0007】その後、ランレンジス復号化およびスキャン順序変換が施された画像データは、逆量子化器85および逆直交変換器86により逆量子化および逆離散コサイン変換が行われた後、伸長画像データとして出力される。

【0008】ここで、可変長・固定長復号化器82での処理（可変長・固定長復号化）について、より詳細に説明する。なお、ここでは、可変長・固定長符号化方法としてMPEG(Moving Pictures Expert Group)方式を探った場合を例にとって説明する。

【0009】可変長・固定長復号化器82に入力される画像データ（圧縮画像データ）は、区切りの無い連続したデータ列によって構成されている（後述の図10(a)）の「被解読符号」参照）。ここで、このデータ列には、データの区切りを示すコードであるスタートコードが含まれている。このスタートコードとしては、例えば、一画面分の画像データの開始を示すスタートコード(picture start code)等がある（後述の図10(b)参照）。このスタートコードは、データ列の途中から解読を開始した場合でも他のデータやフラグと間違えて解読（復号化）することができなく、また、他のデータやフラグをどのように組み合わせてもスタートコードと間違えて解読してしまうことがないように、定められている。したがって、解読を開始する位置の決定や、解読エラーが発生した場合の解読復帰位置の決定に使用される。

【0010】以下、可変長・固定長復号化器82の動作について、図9～図11を用いて説明する。

【0011】図9は、可変長・固定長復号化器82の内部構成を概略的に示すブロック図である。同図において、符号解読部92は、まず、頭出しシフト部91から被解読符号D<sub>11</sub>を32ビット入力し、このうちの最初の24ビットについて、この被解読符号D<sub>11</sub>の値が「000001H」（「H」は16進数表示であることを示す。以下同じ）と一致するか否かを判断する（図11のS111）。そして、被解読符号D<sub>11</sub>が「000001H」でなければ、頭出しシフト部91に被解読符号D<sub>11</sub>を1ビット分だけシフトさせる（同図S112）。次に、シフト後の24ビットの被解読符号D<sub>11</sub>について（すなわち最初の入力符号から数えて2ビットめから25ビットめまでについて）、「000001H」と一致するか否かを判断する（同図S111）。以下、「000001H」が検出されるまで、同様の動作を繰り返す。

【0012】ここで、図10(b)に示すように、スタートコードの上位6ビット（2進数では24ビット）は、常に「000001H」である。したがって、符号解読部92が「000001H」を検出した場合は、いずれかのスタートコードが存在していることがわかる。

【0013】「000001H」が検出されると、符号

解読部92は、この「000001H」に該当する部分を切り出すために、被解読符号D<sub>11</sub>を24ビット（16進数の6桁に該当する）だけシフトする（図11のS113）。そして、検出されたスタートコードの残りの桁を切り出すために、入力符号をさらに8ビット（16進数の2桁に該当する）だけシフトする（図11のS114）。

【0014】続いて、符号解読部92は、このスタートコードに続く可変長・固定長符号の解読（復号化）を行う。図10(a)の①において、被解読符号の最初の3桁は「101」であり、この可変長符号は「3」の該当する（図10(c)参照）。したがって、符号解読部92は、解読結果（ランレンジス符号）として「3」を出力し、さらに、可変長符号のバターン長（桁数）である「3」を、頭出しシフト量情報D<sub>12</sub>として出力する。頭出しシフト部91は、この頭出しシフト量情報D<sub>12</sub>を入力すると、被解読符号D<sub>11</sub>を3ビットだけシフトさせる。これにより、このシフト後に符号解読部92が入力する被解読符号D<sub>11</sub>は、図10(b)の②に示すような値となる。そして、符号解読部92は、この被解読符号D<sub>11</sub>の最初の2桁「01」が「2」に該当すると識別し、解読結果として「2」を出力するとともに、バターン長「2」を頭出しシフト量情報D<sub>12</sub>として出力する。以下、同様にして、スタートコードの検出および可変長・固定長符号の解読が続行される。

【0015】このようにして生成された解読結果のデータ列（ランレンジス符号）は、ランレンジス復号化・スキャン順序変換器83（図8参照）に送られる。

【0016】ここで、可変長・固定長符号の解読中に、可変長符号テーブル（図10(c)参照）や固定長符号テーブル（図示せず）に無い符号パターンが現れた場合には、符号解読部92は、何等かの解読エラーが発生したものと判断する。可変長符号を含む符号の復号化の場合には、解読エラーに起因して解読開始位置が一旦ずれてしまうとそのまま残りの入力符号の解読を続行しても、無意味である。したがって、符号解読部92は、可変長・固定長符号の解読を中止して、次のスタートコードの検出を行う（図11参照）。そして、スタートコードが検出されると、上述したような可変長・固定長符号の解読を再開する（図10(a)参照）。

【0017】次に、図8に示した画像処理装置の、ランレンジス復号化・スキャン順序変換器83での処理（ランレンジス復号化およびスキャン順序変換）について、より詳細に説明する。

【0018】図12は、ランレンジス復号化・スキャン順序変換器83の内部構成を概略的に示すブロック図である。同図に示すように、このランレンジス復号化・スキャン順序変換器83としては、バッファメモリが使用されている。

【0019】図12において、メモリ部121内のバン

クメモリ121a, 121bは、8×8画素（すなわち1ブロック）に相当する書き込み領域を有している。そして、これらの書き込み領域は、データの書き込みが行われる前には、すべてゼロに初期化される。

【0020】書き込みアドレス発生部122は、加算器122aとレジスタ122bとを備えている。ここで、レジスタ122bの出力は、データの書き込みが行われる前には、「0」に初期化される。加算器122aは、レジスタ122bの出力と、可変長・固定長復号化器82から入力したデータ列（ランレンジス符号）のゼロランとを入力する。そして、このレジスタ出力とゼロランとを加算した結果を、書き込みアドレスとして、メモリ部121に送る。これにより、ランレンジス符号の「レベル」信号を、バンクメモリ121aまたはバンクメモリ121bのいずれか（コントローラ124によって指定される）の該当番地に順次書き込むことができる。そして、上述のように「レベル」信号が書き込まれた番地以外は「0」に初期化されているので、この書き込みによってランレンジス復号化を行うことができる。

【0021】読み出しアドレス発生部123は、カウンタ123aとアドレス変換器123bとを備えている。これにより、バンクメモリ121aまたはバンクメモリ121b（コントローラ124によって指定される）に書き込まれたデータ列をスキャン順序変換しながら読み出すことができ、図7(a)に示したような量子化DC-T係数を得ることができる。また、この読み出しの際に、読み出しアドレスS<sub>n</sub>を書き込みアドレスS<sub>n</sub>'として使用し、順次「0」を書き込むことにより、次の書き込みのための初期化を行うことができる。

【0022】コントローラ124は、上述のように、データの書き込み／読み出しを行うバンクメモリを選択するほか、可変長・固定長復号化器82に対する書き込み禁止信号の出力および可変長・固定長復号化器82からの書き込み終了信号の入力により、書き込みタイミングの制御を行う。

【0023】

【発明が解決しようとする課題】図8に示したような従来の画像処理装置（画像データ伸長用の画像処理装置）は、処理速度が十分ではなかった。

【0024】ここで、可変長・固定長復号化器82（図9参照）においては、区切り符号の検出に多くの時間を要しており、このことが処理速度を遅くさせる原因の一つとなっていた。すなわち、従来の可変長・固定長復号化器82では、被解読符号を1ビット／サイクルの速度で1ビットずつシフトさせながら区切り符号の検出を行っていたので、解読の開始やエラー復帰に多くの時間が必要であった。

【0025】また、従来の可変長・固定長復号化器82には、区切り符号の一部が誤解読に使用された後で解読エラーの発生が検出された場合に、エラー復帰の位置が

さらに次の区切り符号となってしまうので、解読エラーの発生時に捨てられる画像データが多くなってしまうという欠点もあった。

【0026】一方、ランレンジス復号化・スキャン順序変換器83（図12参照）においては、バンクメモリ121a, 121bの書き込み／読み出しに要する時間が実際には一定していないにも拘らず、書き込みを行うバンクメモリと読み出しを行うバンクメモリとを切り替える時間間隔を一定にしており、このことが処理速度を遅くさせる原因の一つとなっていた。以下、この理由について説明する。

【0027】バンクメモリ121a, 121bの書き込み／読み出しに要する時間が常に一定であれば、バンクメモリを切り替える時間間隔は、書き込み／読み出しのいずれか遅い方にあわせて決定すればよい。ここで、例えば1ブロック分のデータ列（8×8=64画素）の中に固定長・可変長符号が常に16個あるものとし、且つ、ランレンジス復号化に要する時間（すなわちバンクメモリへの書き込みに要する時間）をデータ1個あたり3クロックとすると、1ブロック分のデータ列の書き込みに要する時間は $16 \times 3 = 48$ クロックとなる。これに対して、バンクメモリからのデータの読み出しに要する時間を1データあたり1クロックとすると、1ブロック分のデータ列の読み出しに要する時間は64クロックである。したがって、書き込みを行うバンクメモリと読み出しを行うバンクメモリとの切り替えは、図13に示したように64クロック毎に行えばよく、処理時間の無駄は生じないので高速の処理を行うことができる。

【0028】しかし、画像データでは、そのブロックに対応する画像がエッジなどの複雑な部分であるときは情報量を多くし、変化がほとんどない単純な画像であるときは情報量を少なくするのが一般的である。このため、1ブロック分のデータ列の中に含まれる固定長・可変長符号の個数は一定せず、画像の複雑さに応じて増減する。ここで、1ブロック分のデータ列の中に含まれるデータがすべて固定長・可変長符号であった場合を考えると、書き込みに要する時間は $64 \times 3 = 192$ クロックとなる。したがって、書き込みを行うバンクメモリと読み出しを行うバンクメモリとの切り替えも、図14に示したように、198クロック毎に行わなければならぬ。

【0029】画像データ全体で考えた場合には、1ブロック分のデータ列の大部分が固定長・可変長符号で占められる確率はほとんどない。それにも拘らず、従来のランレンジス復号化・スキャン順序変換器83では、書き込みに要する時間が最長である場合（すなわち1ブロック分のデータ列中に含まれるデータがすべて固定長・可変長符号である場合）にあわせてバンクメモリを切り替える時間間隔を設定しなければならず、このことが処理速度を遅くする原因となっていたのである。

【0030】本発明は、このような従来技術の欠点に鑑みてなされたものであり、高速処理が可能な画像処理装置を提供することを目的とする。

(0031)

#### 【課題を解決するための手段】

(1) 第1の発明に係わる画像処理装置は、少なくとも可変長符号と区切り符号とを有する圧縮画像データを復号化する複号化器を備えた画像処理装置において、前記複号化器が、前記圧縮画像データと頭出しシフト量データとを入力し、この頭出しシフト量データにしたがって前記圧縮画像データをシフトさせることにより被解読データを生成する頭出しシフト部と、この頭出しシフト部から取り込んだ前記被解読データを切り出すことにより、解読データを生成する符号解読部と、前記頭出しシフト部から取り込んだ前記被解読データからの前記区切り符号の検出を複数の先頭ビット位置について同時にを行い、この検出結果に基いて前記シフト量データを生成する並列区切り符号検出部と、を備えたことを特徴とする。

(2) 第2の発明に係わる画像処理装置は、複数のバンクメモリと、これらのバンクメモリの読み出しおよび書き込みを制御する制御回路とを備えたバッファメモリを有する画像処理装置において、前記制御回路が、いずれかのバンクメモリに対する書き込みが終了した時点で、既に読み出しが終了した他のバンクメモリが存在する場合には当該他のバンクメモリに対して次の書き込みを行わせ、既に読み出しが終了した他のバンクメモリが存在しない場合にはいずれかのバンクメモリの読み出しが終了するまで待機した後に当該読み出しが終了したバンクメモリに対して書き込みを行わせるとともに当該待機の期間中書き込みを禁止する書き込み制御手段と、いずれかのバンクメモリからの読み出しが終了した時点で、既に書き込みが終了した他のバンクメモリが存在する場合には当該他のバンクメモリに対して書き込みが行われた順序にしたがって次の読み出しを行わせ、既に書き込みが終了したバンクメモリが存在しない場合にはいずれかのバンクメモリの書き込みが終了するまで待機した後に当該書き込みが終了したバンクメモリに対して読み出しを行わせるとともに当該待機の期間中読み出しを禁止する読み出し制御手段と、を備えたことを特徴とする。

{0032}

### 【作用】

(1) 第1の発明によれば、並列区切り符号検出部が、頭出しシフト部から被解読データを取り込んで、複数の先頭ビット位置についての区切り符号の検出を同時に行うこととしたので、この区切り符号の検出に要する時間を短縮することができる。

(2) 第2の発明によれば、バンクメモリの切り替えの制御を、書き込みに対しては、いずれかのバンクメモリに対する書き込みが終了した時に読み出しが終了したバンクメモリがある場合にはそのバンクメモリへの書き込み

を行うとともに読み出しが終了したバンクメモリがない場合には読み出しが終了するまで待機した後に書き込みを行うこととし、読み出しに対しては、いずれかのバンクメモリからの読み出しが終了した時に書き込みが終了したバンクメモリがある場合には書き込みの順序にしたがって次の読み出しを行ふとともに書き込みが終了したバンクメモリがない場合には書き込みが終了するまで待機した後に読み出しが行うこととしたので、書き込みも読み出しも行われない時間を低減させることができる。

10 そして、このようにして動作効率を向上させることにより、処理速度を向上させることができる。

[0033]

【実施例】以下、本発明の一実施例に係わる画像処理装置について説明する。

【0034】本実施例に係わる画像処理装置の全体構成は、図8に示した従来の画像処理装置と同様であるが、可変長・固定長復号化器およびランレンジス復号化・スキヤン順序変換器の構成が、従来の装置と異なっている。

20 【0035】まず、本実施例に係る可変長・固定長復号化器について説明する。この可変長・固定長復号化器は、第1の発明（請求項1）の「復号化器」に該当する。

【0036】図1は、かかる可変長・固定長復号化器10の構成を概略的に示すブロック図である。

【0037】同図において、頭出しシフト部11は、シフト量切り替え部14から入力した頭出しシフト量情報D<sub>1</sub>に応じて、外部から入力した入力符号D<sub>2</sub>をシフトし、こなにより被読符符号D<sub>3</sub>を生成する。本事実例で

30 は、この頭出しシフト部1の1回のシフト動作でシフトできるビット数の最大値(以下「最大シフト量」と記す)を、31ビットとする。また、被解読符号D<sub>11</sub>のビット幅を64ビットとする。すなわち、最大シフト量をMとすると、被解読符号D<sub>11</sub>のビット幅は $2 \times (M + 1)$ となる。

【0038】符号解読部12は、被解読符号D<sub>11</sub>を入力して、この被解読符号D<sub>11</sub>の先頭から可変長符号のパターン検出・解読と、固定長符号の切り出しとを行う。そして、これによって得られたランレンジス符号を解読結果

40 果D。として出力するとともに、解読・切り出しが行われた可変長符号或いは固定長符号のバターン長を、頭出しシフト量情報D<sub>11</sub>'として出力する。なお、この符号解読部12は、後述するように、頭出しシフト部11が<sub>11</sub>出力した64ビットの被解読符号D<sub>11</sub>のうち、下位32ビットのみを入力して、可変長・固定長符号の解読・切り出しを行う。

〔0039〕並列区切り符号検出部13は、頭出しシフト部11から取り込んだ被解読符号D<sub>11</sub>からのスタートコードの検出を31ビットの先頭ビット位置について同時にい、この検出結果に基いて区切り符号検出シフト

量情報 $D_{1,2''}$ 、制御信号 $D_{1,1}$ およびシフト量切り替え信号 $D_{1,1}$ を生成して出力する。

【0040】シフト量切り替え部14は、符号解読装置12が输出した頭出しシフト量情報 $D_{1,1'}$ と、後述の並列区切り符号検出部13がoutputした区切り符号検出シフト量情報 $D_{1,1''}$ とをinputする。そして、並列区切り符号検出部13からoutputされたシフト量切り替え信号 $D_{1,1}$ の制御により、シフト量情報 $D_{1,1'}, D_{1,1''}$ のいずれか一方を、頭出しシフト量情報 $D_{1,1}$ として出力する。

【0041】次に、頭出しシフト部11および並列区切り符号検出部13の内部構成の一例について、図2を用いて説明する。

【0042】図2に示した頭出しシフト部11において、切り替え器21-1の一方のinputからはinput符号がinputされ、他方のinputからはレジスタ22-1のoutput値がinputされる。一方、この切り替え器21-1のoutputは、レジスタ22-1に入inputされる。また、切り替え器21-2は、レジスタ22-1, 22-2のoutput値をinputする。そして、この切り替え器21-2のoutputは、レジスタ22-2に入inputされる。さらに、切り替え器21-3はレジスタ22-2, 22-3のoutput値をinputし、そして、この切り替え器21-3 outputはレジスタ22-3に入inputされる。ここで、これらのレジスタ22-1～22-3としては、それぞれ32ビットのシフトレジスタが使用されている。すなわち、頭出しシフト部11の最大シフト量をMとすると、レジスタ22-1～22-3としては $M+1$ ビットのものを使用する。また、切り替え器21-1～21-3のoutputを切り替えるための制御信号としては、後述するシフト量累積加算器24がoutputする桁あふれ信号 $D_{1,1}$ が使用される。

【0043】シフト量累積加算器23は、シフト量切り替え部14からinputされた頭出しシフト量情報 $D_{1,1}$ とシフト量累積レジスタ24のoutput値とを加算することにより、上述の桁あふれ信号 $D_{1,1}$ およびシフト回路用シフト量 $D_{1,6}$ とを生成する。また、シフト量累積レジスタ24は、このシフト回路用シフト量 $D_{1,6}$ をinputする。なお、シフト量累積加算器23およびシフト量累積レジスタ24のビット幅は、それぞれ、頭出しシフト部11の最大シフト量をMとして、 $\log_2(M+1)$ ビットとする。

【0044】シフト回路25は、切り替え器21-1～21-3のoutputデータ $D_{1,1} \sim D_{1,3}$ を並列に取り込む。すなわち、このシフト回路25のinputのビット幅は96ビット（最大シフト量をMとすると3 $(M+1)$ ビット）となる。そして、シフト量累積加算器24がoutputするシフト回路用シフト量 $D_{1,6}$ の制御にしたがって、このデータをシフトし、64ビット（すなわち、2 $(M+1)$ ビット）のデータ $D_{1,1}$ として出力する。このシフト回路25のoutputデータは、レジスタ26を介し、被解読符号 $D_{1,1}$ として出力される。

【0045】このような構成によれば、切り替え器21-1に入inputされたinput符号をレジスタ22-1～22-3で順次シフトさせて96ビットのoutputデータ $D_{1,1} \sim D_{1,3}$ として出力し、シフト回路25で頭出しシフト量情報 $D_{1,1}$ に応じてシフトさせつつ、被解読符号 $D_{1,1}$ のoutputを行なうことができる。

【0046】一方、図2に示した並列区切り符号検出部13は、31個（すなわち最大シフト量Mと同数）の区切り符号検出器27-1～27-31を有している。これらの区切り符号検出器27-1～27-31は、それぞれ、被解読符号 $D_{1,1}$ の第1ビット～第31ビットを先頭ビットとした24ビットデータをinputする。すなわち、区切り符号検出器27-1は第1ビット～第24ビットをinputし、区切り符号検出器27-2は第2ビット～第25ビットをinputし、以下同様にして、区切り符号検出器27-Mは第31ビット～第54ビットをinputする。そして、各区切り符号検出器27-1～27-Mは、inputした24ビットデータを「000001H」と比較し、比較結果をoutputする。

【0047】制御回路28は、各区切り符号検出器27-1～27-31から、比較結果をinputする。そして、これらの比較結果のいずれかがスタートコードの検出を示している場合には、どの区切り符号検出器がスタートコードを検出したかにより当該スタートコードの位置を判断する。そして、この判断結果および上述の比較結果に基いて、区切り符号検出シフト量情報 $D_{1,2''}$ 、制御信号 $D_{1,1}$ およびシフト量切り替え信号 $D_{1,1}$ を生成する。

【0048】次に、本実施例の可変長・固定長復号化器10の動作について、図1を参照しつつ、詳細に説明する。

【0049】まず、スタートコードの検出を行うための動作について説明する。

【0050】スタートコードの検出を行う場合、並列区切り符号検出部13は、まず、シフト量切り替え信号 $D_{1,1}$ をoutputし、シフト量切り替え部12に区切り符号検出シフト量 $D_{1,1''}$ を選択させる。そして、頭出しシフト部11から64ビットの被解読符号 $D_{1,1}$ をinputし、第1ビット～第31ビットのそれを先頭ビットとした場合について、当該被解読符号 $D_{1,1}$ の値が「000001H」（この値は2進数では24ビットとなる）と一致するか否かを、同時に判断する。すなわち、図3の①に示したような64ビットの被解読符号 $D_{1,1}$ のうち、第1ビット～第24ビット、第2ビット～第25ビット、第3ビット～第26ビット…第31ビット～第54ビットのそれについて、「000001H」との比較を行う。

【0051】そして、「000001H」に一致する被解読符号列が存在しないければ、区切り符号検出シフト量 $D_{1,2''}$ として、「31ビット」をoutputする。ここで、この情報値「31ビット」は、頭出しシフト部11

40

の最大シフト量と一致する。すなわち、本実施例で、並列区切り符号検出部13が同時にを行うことができる区切り符号を31通りとしたのは、頭出しシフト部11の最大シフト量に合わせたものである。

【0052】この区切り符号検出シフト量D<sub>11</sub>は、シフト量切り替え部14を介し、頭出しシフト量情報D<sub>11</sub>として、頭出しシフト部11に入力される。これにより、頭出しシフト部11が出力する被解読符号D<sub>11</sub>は、図3に②で示すように、31ビットだけシフトされる。

【0053】そして、1回目の検出の場合と同様、並列区切り符号検出部13は、シフト後の被解読符号D<sub>11</sub>の第1ビット～第31ビットのそれぞれを先頭ビットとした場合について、「0000001H」と一致するか否かを判断する。以下、「0000001H」が検出されるまで、同様の動作を繰り返す。

【0054】ここで、図3に③で示すように、「000001H」が検出されると、並列区切り符号検出装置13は、この「0000001H」に該当する部分を切り出すために、被解読符号D<sub>11</sub>をさらにシフトさせる。すなわち、図3の③に示した場合を例に採って説明すると、被解読符号D<sub>11</sub>の第14ビット～第37ビットが「0000001H」と一致しているので、区切り符号検出シフト量D<sub>11</sub>としては「13ビット」が出力される。これにより、頭出しシフト部11が出力する被解読符号D<sub>11</sub>は、13ビットだけシフトされる。このようにして、図3に④で示すような、スタートコードから始まる被解読符号D<sub>11</sub>を得ることができる。

【0055】次に、可変長・固定長符号の解読を行う際の動作（すなわちランレンジス符号を生成するための動作）について説明する。

【0056】まず、符号解読部12が、可変長・固定長符号の解読・切り出しを開始する。ここで、上述したように、符号解読部12は被解読符号D<sub>11</sub>の下位32ビットのみを入力する。したがって、図3に④で示したような被解読符号D<sub>11</sub>が頭出しシフト部11から出力されている場合には、符号解読部12はそのまま可変長・固定長符号の解読・切り出しを開始することができる。

【0057】この可変長・固定長符号の解読は、従来と同様にして行われる（図10参照）。そして、1回の解読を行なうたびに、解読結果D<sub>0</sub>を出力する。また、これと併せて、解読された可変長符号或いは固定長符号のパターン長を、頭出しシフト量情報D<sub>11</sub>'として出力する。これにより、頭出しシフト部11は、この頭出しシフト量情報D<sub>11</sub>'（すなわち頭出しシフト量情報D<sub>11</sub>）を入力すると、この頭出しシフト量情報D<sub>11</sub>の値にしたがって、出力する被解読符号D<sub>11</sub>をシフトさせる。以下、同様にして、可変長・固定長符号の解読・切り出しが続行される。このようにして生成された解読結果のデータ列（ランレンジス符号）は、ランレンジス復号化・スキャン順序変換器（後述）に送られる。

【0058】このようにして可変長・固定長符号の解読・切り出しが行われている間も、並列区切り符号検出部13は、スタートコードの検出を続行している。そして、可変長・固定長符号の解読動作中にスタートコードが検出された場合には、並列区切り符号検出部13は制御信号D<sub>11</sub>によって符号解読部12を一旦停止させ、シフト量切り替え信号D<sub>11</sub>'によりシフト両切り替え部12に頭出しシフト量情報D<sub>11</sub>'を選択させて、被解読符号D<sub>11</sub>がスタートコードから始まるようにシフトさせる。

【0059】また、可変長・固定長符号の解読中に、可変長符号テーブル（図10（c）参照）や固定長符号テーブル（図示せず）に無い符号パターンが現れた場合には、符号解読部12は、何等かの解読エラーが発生したものと判断し、符号解読部12による可変長・固定長符号の解読を中止して、次のスタートコードの検出を行う。そして、次のスタートコードが検出されると、上述したような可変長・固定長符号の解読を再開する。ここで、本実施例の可変長・固定長復号化器10では、解読後のビットが32ビット分、並列区切り符号検出部13に格納されているので、この32ビットも含めて次のスタートコードの検出を行うことができる。したがって、スタートコードの一部がすでに誤解読に使用されていたような場合でも、そのスタートコードを失うことなくエラー復帰を行うことができる。したがって、解読エラーの発生時に捨てられる画像データ量を、従来よりも少なくすることができる。

【0060】なお、可変長・固定長復号化器10が解読結果（ランレンジス符号）を出力するタイミングは、ランレンジス復号化・スキャン順序変換器から入力される書き込み禁止信号等によって制御されるが、詳細については後述する。

【0061】次に、本実施例に係わるランレンジス復号化・スキャン順序変換器について説明する。このランレンジス復号化・スキャン順序変換器は、第2の発明（請求項2）の「バッファメモリ」に該当する。

【0062】図4は、かかるランレンジス復号化・スキャン順序変換器40の構成を概略的に示すブロック図である。

【0063】同図において、メモリ部41内のバンクメモリ41a, 41bは、8×8画素（すなわち1ブロック）に相当する書き込み領域を有している。そして、これらの書き込み領域は、データの書き込みが行われる前には、すべてゼロに初期化される。

【0064】書き込みアドレス発生部42は、加算器42aとレジスタ42bとを備えている。ここで、レジスタ42bの出力は、データの書き込みが行われる前には「0」に初期化される。加算器42aは、レジスタ42bの出力と、前段の可変長・固定長復号化器10（図1参照）から入力したデータ列（ランレンジス符号）のゼロランとを入力する。そして、このレジスタ出力とゼロ

ランとを加算した結果を、書き込みアドレス  $S_w$  として、メモリ部41に送る。これにより、ランレンジス符号の「レベル」信号を、バンクメモリ41aまたはバンクメモリ41bのいずれか（バンク選択信号  $R_{SEL}$  によって指定される）の該当番地に順次書き込むことができる。そして、上述のように「レベル」信号が書き込まれた番地以外は「0」に初期化されているので、この書き込みによってランレンジス復号化を行うことができる。

【0065】読み出しアドレス発生部43は、カウンタ43aとアドレス変換器43bとを備えている。そして、このアドレス変換器43bから読み出しアドレス  $S_r$  を出力して、バンクメモリ41aまたはバンクメモリ41b（バンク選択信号  $R_{SEL}$  によって指定される）に書き込まれたデータ列をスキャン順序変換しながら読み出すことができ、出力データとしての量子化DCT係数（図7（a）参照）を得ることができる。また、この読み出しの際に、上述の読み出しアドレス  $S_r$  を書き込みアドレス  $S_r'$  として順次「0」を書き込むことにより、次の書き込みのための初期化を行うことができる。

【0066】コントローラ（第2の発明の「書き込み制御手段」および「読み出し制御手段」に該当する）44は、上述のように、バンク選択信号  $R_{SEL}$  を用いてデータの書き込み／読み出しを行うバンクメモリを選択する。本実施例では、バンク選択信号  $R_{SEL}$  が「0」のときはバンクメモリ41aの書き込みとバンクメモリ41bの読み出しが選択され、且つ、バンク選択信号  $R_{SEL}$  が「1」のときはバンクメモリ41aの読み出しとバンクメモリ41bの書き込みとが選択されるものとする。また、このコントローラ44は、前段の可変長・固定長復号化器10に対する書き込み禁止信号  $W_b$  の出力およびこの可変長・固定長復号化器10からの書き込み終了信号  $W_{END}$  の入力により、書き込みタイミングの制御を行う。さらに、これと併せて、後段の逆量子化器50に対する読み出し禁止信号  $R_b$  の出力およびこの可変長・固定長復号化器10からの読み出し終了信号  $R_{END}$  の入力により、読み出しタイミングの制御を行う。

【0067】次に、本実施例に係わるランレンジス復号化・スキャン順序変換器40の動作について説明する。

【0068】図5は、かかるランレンジス復号化・スキャン順序変換器40の動作を説明するための状態遷移図である。

【0069】まず、初期状態においては、バンクメモリ41a、41bには何も書き込まれていないので、コントローラ44は、読み出し禁止信号  $R_b$  を「1」（読み出し禁止状態）とし、書き込み禁止信号  $W_b$  を「0」（書き込み可能状態）とする。また、バンク選択信号  $R_{SEL}$  は「0」として、書き込みとしてバンクメモリ41aが選択された状態にしておくこととする。

【0070】ここで、前段の可変長・固定長復号化器10

が、バンクメモリ41aへのランレンジス符号の書き込みを終了すると、コントローラ44には書き込み終了信号  $W_{END} = 1$  が入力される。これにより、図5に状態Aとして示したように、コントローラ44は、読み出し禁止信号  $R_b$  を「0」（読み出し可能状態）とし、バンク選択信号  $R_{SEL}$  を反転させる（図5では「 $R_{SEL} = \neg R_{SEL}$ 」と記す）。すなわち、ここでは、バンク選択信号  $R_{SEL}$  は、「1」（バンクメモリ41aが読み出し状態でバンクメモリ41bが書き込みの状態）となる。また、この時点ではバンクメモリ41bには何も書き込まれていないので、書き込み禁止信号  $W_b$  は「0」（書き込み可能状態）に維持する。

【0071】その後、状態Bに遷移し、書き込み終了信号  $W_{END}$  が「1」となるか、或いは、読み出し終了信号  $R_{END}$  が「1」となるまで、書き込み禁止信号  $W_b = 0$ 、読み出し禁止信号  $R_b = 0$  で、バンク選択信号  $R_{SEL}$  の信号値をそのまま維持する状態（図5では「 $R_{SEL} = R_{SEL}$ 」と記す）を続ける。

【0072】ここで、状態Aまたは状態Bにおいて、書き込み終了信号  $W_{END} = 1$  が再度入力されると、バンクメモリ41a、41bはともに書き込みが行われた状態となるので、状態Cに遷移し、書き込みを禁止するために書き込み禁止信号  $W_b$  を「1」とする。このとき、読み出し禁止信号  $R_b$  やびバンク選択信号  $R_{SEL}$  の信号値は、 $R_b = 0$ 、 $R_{SEL} = R_{SEL}$  のまます。この状態Cは、読み出し終了信号  $R_{END} = 1$  が入力されるまで維持される。そして、読み出し終了信号  $R_{END} = 1$  が入力されると、上述の状態Aに遷移する。

【0073】一方、状態Aまたは状態Bにおいて、読み出し終了信号  $R_{END} = 1$  が入力されると、バンクメモリ41a、41bはともに読み出しを行うことができない状態となるので、状態Dに遷移し、読み出し禁止信号  $R_b$  を「1」にすることにより読み出しを禁止する。このとき、書き込み禁止信号  $W_b$  やびバンク選択信号  $R_{SEL}$  の信号値は、 $W_b = 0$ 、 $R_{SEL} = R_{SEL}$  のまます。この状態Dは、書き込み終了信号  $W_{END} = 1$  が入力されるまで維持される。そして、書き込み終了信号  $W_{END} = 1$  が入力されると、上述の状態Aに遷移する。

【0074】図6は、バンクメモリ41a、41b（図5参照）の書き込み／読み出しの切り替えタイミングを示すタイミングチャートである。図6からわかるように、本実施例では、バンクメモリ41a、41bのいずれかについて書き込みや読み出しが終了すると、他のバンクメモリが書き込みや読み出し可能状態のときは直ちに書き込みや読み出しの切り替えを行なうことができ、書き込みや読み出しができない状態のときは書き込みや読み出し可能状態となるまで待機した後に書き込みや読み出しの切り替えを行うことができるので、従来のランレンジス復号化・スキャン順序変換器の場合（図4参照）と比較して処理時間を短縮することができる。

【0075】なお、本実施例では、バンクメモリを2個備えた場合について説明したが、3個以上のバンクメモリを備えることとしてもよいことはもちろんある。バンクメモリを3個以上設けることとすれば、処理時間をさらに短縮することができる。

【0076】

【発明の効果】以上詳細に説明したように、本発明によれば、並列区切り符号検出部で複数の先頭ビット位置についての区切り符号の検出を同時にを行うこととしたので複号化器における処理時間を短縮することができ、また、バンクメモリのいずれかについて書き込み或いは読み出しが終了すると該バンクメモリに対する書き込み／読み出しの切り替えを他のバンクメモリの状態に応じて直ちに行うこととしたのでバッファメモリにおける処理時間を短縮することができる。

【0077】したがって、本発明によれば、高速処理が可能な画像処理装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係わる復号化器の概略構成を示すブロック図である。

【図2】図1に示した復号化器における頭出しシフト部および並列区切り符号検出部の内部構成の一例を示すブロック図である。

【図3】図1に示した復号化器の動作を説明するための図である。

【図4】本発明の一実施例に係わるバッファメモリ（ランレンジス復号化・スキャン順序変換器）の構成を概略的に示すブロック図である。

【図5】図4に示したバッファメモリの動作を説明するための状態遷移図である。

【図6】図4に示したバッファメモリの動作を説明するためのタイミングチャートである。

【図7】スキャン順序変換およびランレンジス符号化について説明する図であり、(a)は直交変換および量子化を施した後の画素データからなるブロックを示す概念図、(b)は(a)の画素データを並べかえて読み取った後のデータ列を示す概念図、(c)は(b)のデータ列を変換することによって得られたランレンジス符号を示す概念図である。

【図8】従来の画像処理装置の一構成例を概略的に示すブロック図である。

【図9】図8に示した可変長・固定長復号化器の内部構

成を概略的に示すブロック図である。

【図10】図9に示した可変長・固定長復号化器の動作を説明するための図であり、(a)は解読動作を説明するための図、(b)はスタートコードを示す図、(c)は可変長符号テーブルを示す図である。

【図11】図9に示した可変長・固定長復号化器のスタートコード検出動作を説明するためのフローチャートである。

【図12】図8に示したランレンジス復号化・スキャン順序変換器の内部構成を概略的に示すブロック図である。

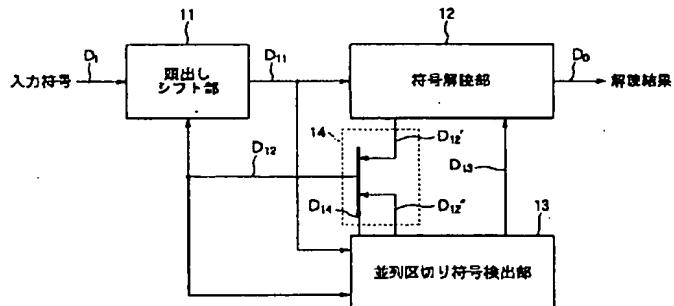
【図13】図12に示したランレンジス復号化・スキャン順序変換器の動作を説明するためのタイミングチャートである。

【図14】図12に示したランレンジス復号化・スキャン順序変換器の動作を説明するためのタイミングチャートである。

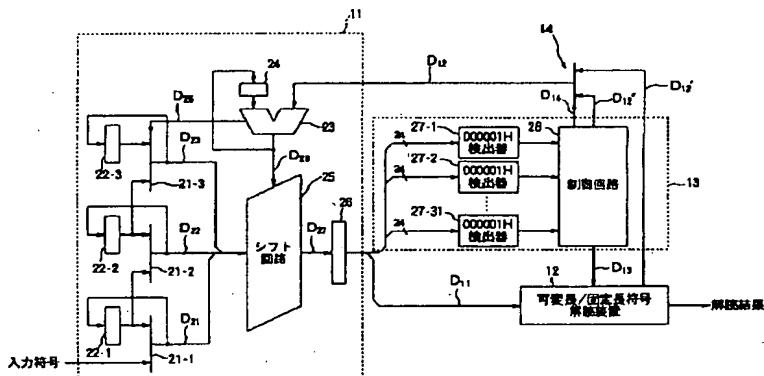
【符号の説明】

10	可変長・固定長復号化器
20	11 頭出しシフト部
	12 符号解読部
	13 並列区切り符号検出部
	14 シフト量切り替え部
	21-1～21-3 切り替え器
	22-1～22-3 レジスタ
	23 シフト量累積加算器
	24 シフト量累積加算器
	25 シフト回路
	26 レジスタ
30	27-1～27-M 区切り符号検出器
	28 制御回路
	40 ランレンジス復号化・スキャン順序変換器
	41 メモリ部
	41a, 41b バンクメモリ
	42 アドレス発生部
	42a 加算器
	42b レジスタ
	43 読み出しアドレス発生部
	43a カウンタ
40	43b アドレス変換器
	44 コントローラ

〔図1〕



〔図2〕



【図3】

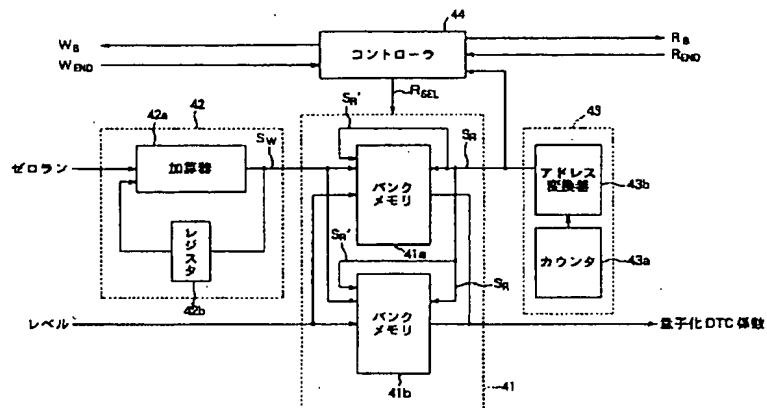
[図10]

用紙枚数	シフト量	並行符号	
		符号解説位置	符号解説範囲
①	3	3	1010111000111101011111000111011
②	2	2	011100011111010111110001101100
③	4	3	110001111101011111000110111000
④	1	3	001111101011111000110111000110
⑤	6	5	111101011111000110111000110100
⑥	3	9	101111100011101111000110100100

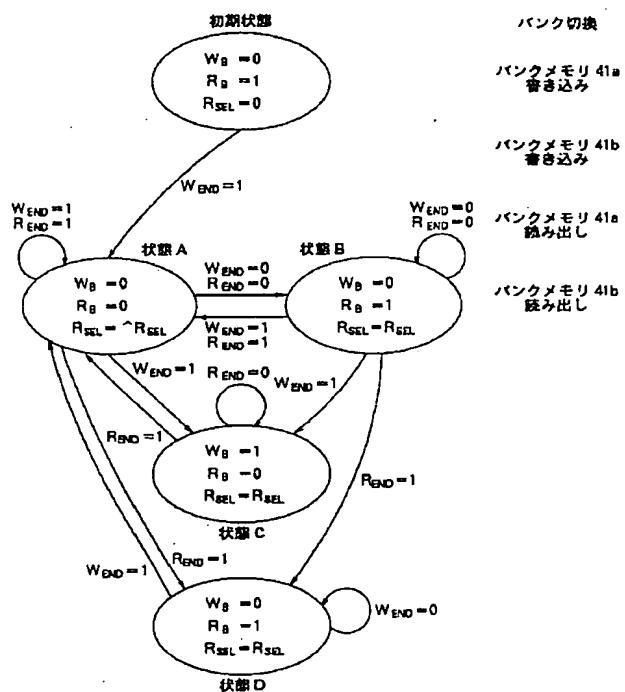
コード名	パターン(16進数)
picture_start_code	00000100
size_start_code	00000101~000001AF
user_data_start_code	000001B2
sequence_start_code	000001B3
sequence_end_code	000001B4
extension_start_code	000001B5
sequence_end_start_code	000001B7
group_start_code	000001B8
system_start_code	000001B9~000001FF

パターン	データ
100	0
001	1
01	2
101	3
110	4
1110	5
11110	6
1111	7

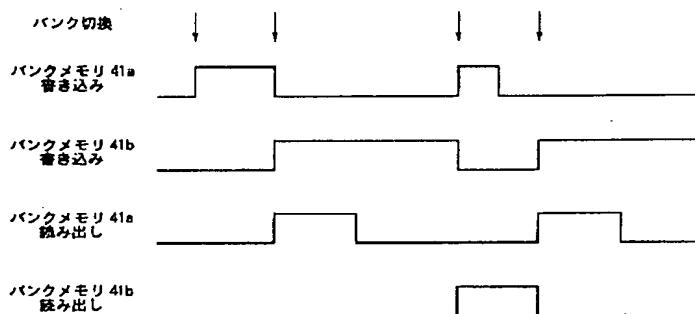
【図4】



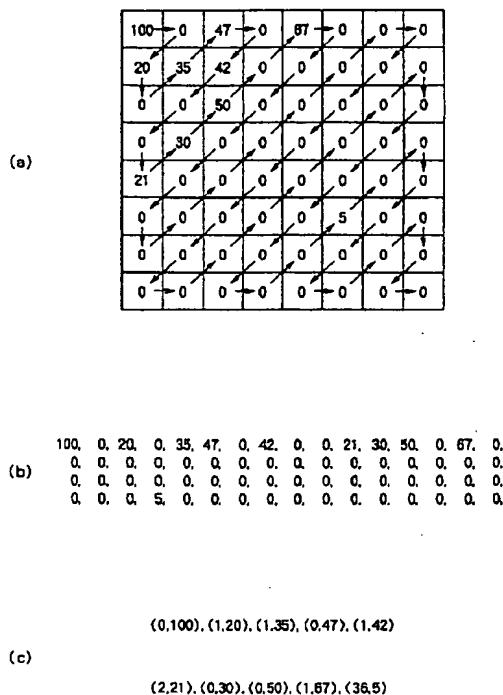
【図5】



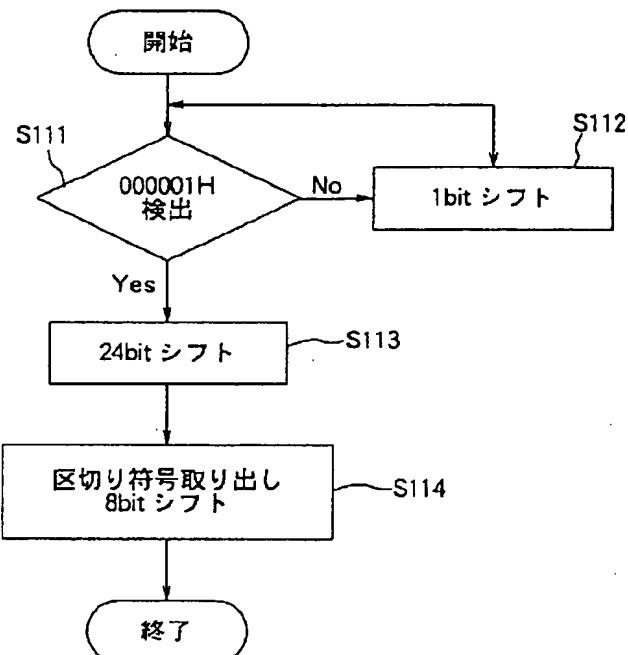
【図6】



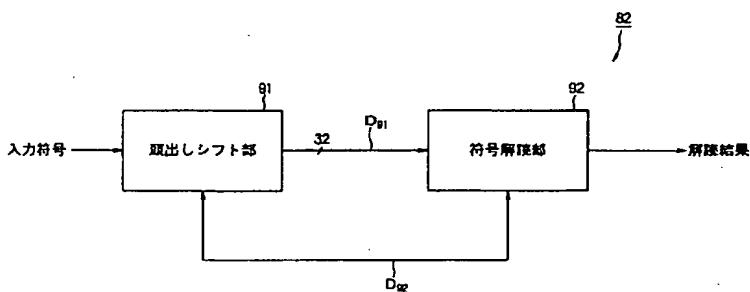
【図7】



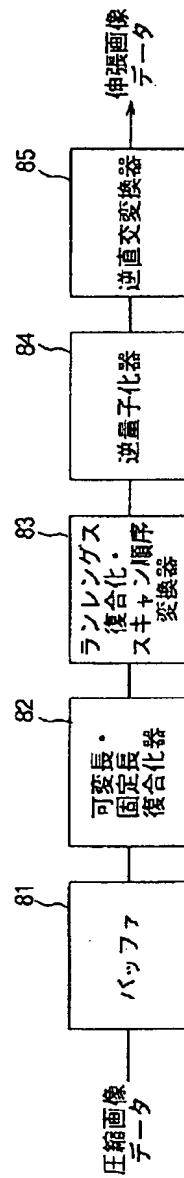
【図11】



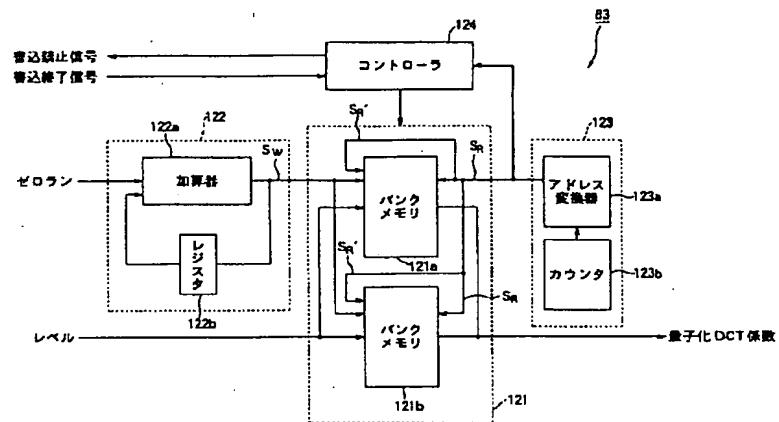
【図9】



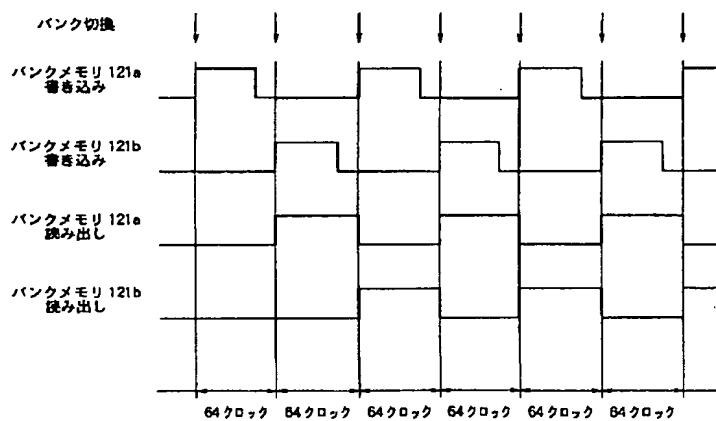
【図8】



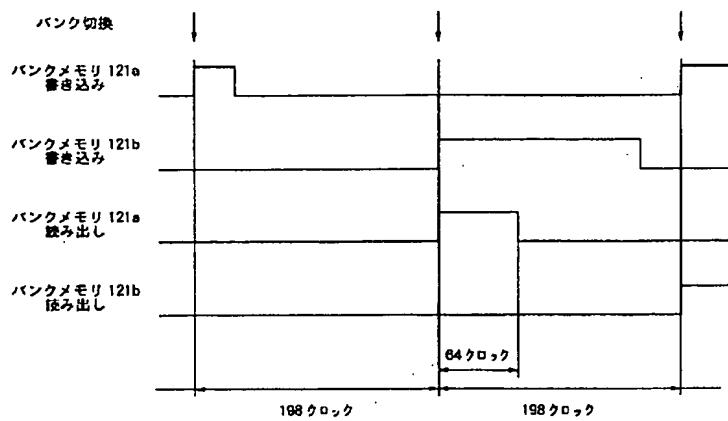
【図12】



【図13】



【図14】



フロントページの続き

(51)Int.C1.<sup>6</sup>  
H 0 4 N 7/24

識別記号 庁内整理番号 F I

技術表示箇所